

### 3D NAND 구조내의 $\text{Si}_3\text{N}_4$ 의 선택적 식각을 통한 패턴 $\text{SiO}_2$ 식각 제어

손창진<sup>1</sup>, 김태현<sup>1,2</sup>, 박태건<sup>1,2</sup>, 임상우<sup>1,2,\*</sup>

<sup>1</sup>연세대학교; <sup>2</sup>화공생명공학과

(swlim@yonsei.ac.kr<sup>†</sup>)

최근 반도체 시장을 견인하고 있는 3D NAND Flash memory의 제작 공정에서 수십단 이상의  $\text{Si}_3\text{N}_4/\text{SiO}_2$  반복적 구조가 패턴되어 이 구조내에서 30 nm 정도의  $\text{SiO}_2$ 층을 보호하면서  $\text{Si}_3\text{N}_4$ 층만을 선택적으로 식각하는 기술이 중요해지고 있다. 고온의 인산을 이용한 공정은 공정 횟수가 증가하면 Le Chatelier 법칙에 따라  $\text{Si}_3\text{N}_4$  식각 속도가 감소하여 제조 과정에서 인산 소모량이 증가하고 공정 비용이 증가한다. 본 연구에서는, superheated water를 기반으로 한 식각액을 이용하여  $\text{Si}_3\text{N}_4$  및  $\text{SiO}_2$ 의 선택적 식각에 대해 연구하였다.

DI water 및 다양한 첨가제를 투입한 식각액에 평판 및 패턴 웨이퍼를 담지한 후, superheated water 상태로 만든 후 20 분간 식각하였다. 실험 전과 후의  $\text{Si}_3\text{N}_4$  film 두께를 spectroscopic ellipsometer 및 FE-SEM으로 측정하고 식각 속도 및  $\text{SiO}_2$ 층의 thinning에 대해 파악하였다.

Superheated water에 다양한 첨가제들을 투입한 결과, 선택적으로  $\text{Si}_3\text{N}_4$  식각 속도 또는  $\text{Si}_3\text{N}_4/\text{SiO}_2$  식각 선택비의 향상이 이루어졌으며, 이를 30단  $\text{Si}_3\text{N}_4/\text{SiO}_2$  반복 적층 3D NAND 패턴 웨이퍼에서 실험하여,  $\text{SiO}_2$  막의 두께 변화 없이  $\text{Si}_3\text{N}_4$ 만이 선택적으로 식각되는 것이 확인되었다.