

첨가물을 통한 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 고선택비 인산 습식 에칭기술 개발

배진성, 임상우*, 서동완, 박찬형

연세대학교

(swlim@yonsei.ac.kr*)

반도체 소자가 소형화 되고 집적화 되어 감에 따라 소자와 소자간의 간섭 현상의 보안을 위해 현재 널리 쓰이는 소자 분리 기술로 STI (Shallow Trench Isolation)이 사용된다. 이 공정은 트렌치를 HDP (High Density Plasma) oxide로 채워 소자간을 분리하는 공정이며 이 공정 중 nitride layer (Si_3N_4)을 strip 하는 과정에서 인산(H_3PO_4)이 etchant로 사용된다. 현재 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 의 인산 에칭 selectivity는 50:1 수준이며 selectivity가 낮은 경우 SiO_2 층에 손상을 야기, 결국 반도체 소자의 고집적화에 차질이 생긴다. 따라서, $\text{Si}_3\text{N}_4/\text{SiO}_2$ 의 고 선택비 습식에칭 기술 연구가 필요하다. 본 연구에서는 인산을 기반으로 한 solution에 다양한 불소계 첨가물, 실리콘 계열 첨가물을 여러 비율로 첨가하여 다양한 etchant를 만든 다음 같은 온도, 같은 시간에서 Si_3N_4 와 SiO_2 를 에칭시켰을 경우 어떤 조건이 nitride layer의 etch rate을 더 높이고 oxide layer의 etch rate을 더 감소시킬 수 있는지 알아보았다. 다양한 etchant에 각각의 wafer를 에치시킨 다음 ellipsometer로 에칭전후의 두께를 측정하여 etch rate을 구한 다음 selectivity를 계산하였다. 더 나아가 wafer표면에서 일어나는 화학 반응을 이해하기 위하여 표면에서의 분석도 실시하였다. 이에 따르면, Si계 화합물과 F계 화합물의 첨가로 인해 selectivity의 증가가 확인되었다.