

## Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 고선택비 인산 습식 에칭기술 개발

배진성, 오지숙, 서동완, 임상우\*

연세대학교

(swlim@yonsei.ac.kr\*)

반도체 소자가 소형화 되고 집적화 되어 감에 따라 소자와 소자간의 간섭 현상의 보안을 위해 현재 널리 쓰이는 소자 분리 기술로 STI (Shallow Trench Isolation)이 사용된다. 이 공정은 트렌치를 HDP (High Density Plasma) oxide로 채워 소자간을 분리하는 공정이며 이 공정 중 nitride layer (Si<sub>3</sub>N<sub>4</sub>)을 strip 하는 과정에서 인산(H<sub>3</sub>PO<sub>4</sub>)이 etchant로 사용된다. 현재 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>의 인산 에칭 selectivity는 50:1 수준이며 selectivity가 낮은 경우 SiO<sub>2</sub> 층에 손상을 야기, 결국 반도체 소자의 고집적화에 차질이 생긴다. 따라서, Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>의 고 선택비 습식에칭 기술 연구가 필요하다. 본 연구에서는 인산을 기반으로 한 solution에 다양한 첨가물과 또 양이온, 음이온성 계면활성제를 여러 비율로 첨가하여 다양한 etchant를 만든 다음 같은 온도, 같은 시간에서 Si<sub>3</sub>N<sub>4</sub>와 SiO<sub>2</sub>를 에칭시켰을 경우 어떤 nitride layer의 etch rate을 더 높이고 Oxide layer의 etch rate을 더 감소시킬 수 있는지 알아보았다. 다양한 etchant에 각각의 wafer를 에치시킨 다음 ellipsometer장치로 감소한 두께를 측정하고 etch rate을 구한 다음 selectivity를 계산하였다. 더 나아가 wafer표면에서 일어나는 화학 반응을 이해하기 위하여 FT-IR을 이용한 분석도 시행하였다.