

pMOS gate stack capping layer의 고선택비 습식에칭 기술연구

오지숙, 윤미현, 임상우*

연세대학교

(swlim@yonsei.ac.kr*)

차세대 소자의 트랜지스터 공정 기술의 개발을 위해, high-k / metal gate가 도입되는데, high-k 재료의 공정 중 손상 방지 및 전기적 성질의 개선을 위하여 pMOS의 capping layer로서 Al_2O_3 가 검토되고 있다. 그러나 gate stack 공정 중 capping layer를 제거하는 과정에서 낮은 etch selectivity는 하부의 high-k dielectric 층에 손상을 야기한다. 따라서 high-k에 대한 capping layer의 고선택비 습식에칭 기술이 필요하다. 본 연구에서는 다양한 etchant와 실험조건에서 high-k 및 capping layer 각각의 single layer의 etch rate을 확보하여, 높은 etch selectivity를 갖는 etchant를 선정하였다. 이 etchant를 high-k위에 capping layer이 적층된 multi-layer구조에 적용하여, 하부 high-k dielectric 층 손상 없이 capping layer가 제거 됨을 최종적으로 확인하였다. 또한 오버에칭 후에도 high-k dielectric 층에 손상이 없음을, TEM을 이용하여 확인하였다. 더 나아가 Al_2O_3 표면에서 일어나는 에칭반응의 반응식 및 원리를 이해하기 위해 습식에칭 기술의 심화연구를 진행하였다.