

45nm 반도체 세정기술

조중근*

세메스

(jkcho@semes.co.kr*)

반도체 소자의 미세화와 더불어 세정공정의 중요성이 점점 커지고, 이에 따라 세정기술에 대한 요구는 극한으로 달리고 있다. ITRS 로드맵에 따르면 45nm 디자인룰에서는 22.5nm 미세면지 크기를 제어해야 하고 세정과정에서의 식각량을 최소화해야 하는 등 몇 가지 어려운 난제들이 있는 데 현 세정기술로는 요구조건을 만족시키기엔 한계가 있다. 또한 45nm 디자인룰에서 대부분 양산도입이 완료될 것으로 예상되는 metal gate/high-k나 Cu/low-k등신재료는 세정액이나 세정방법에 있어서 새로운 패러다임을 예고하고 있다. 세정기술은 종래 화학약품 위주의 습식방식에서 벗어나 가스등을 사용하는 건식방식이 적극적으로 도입될 것으로 예상되며, 세정장비도 공정성능의 우수성이나 짧은 처리시간으로 인해 매엽방식이 배치방식을 대체할 것으로 전망되고 있다. 향후 3~4년 내에 가시화될 것으로 보이는 이러한 세정기술의 변화에 대응하기 위해 소자업계나 세정장비 업계는 많은 노력을 기울이고 있으며, 본 연구에서는 이러한 소자의 미세화에 재료의 변화에 대응하는 세정기술들에 대해 살펴보고자 한다.