

반도체와 전기화학 1

: Cu Electrodeposition for Semiconductor Interconnection

한국과학기술연구원 김수길

서론

반도체 소자의 고속화, 고집적화, 대용량화에 대한 산업적 요구에 따라 반도체 단위셀 (그림 1) 내 능동/수동 소자간 신호 전달용 금속 배선에 있어 높은 전류 밀도와 빠른 응답 속도를 감당하기 위해 낮은 저항의 금속 (구리)과 낮은 유전율 (low-k dielectric)의 층간 절연막이 요구되었다. 구리는 기존의 금속 배선 물질인 알루미늄 대비 비저항이 낮으므로 (1.67 vs. $2.66 \mu\Omega \cdot cm$) 배선 금속과 층간 절연막에 의해 발생하는 RC delay를 감소시킬 수 있으며 높은 녹는점과 확산 활성화 에너지로 인해 우수한 electro / stress migration 내성을 가진다.

배선물질의 구리로의 전환에 따라 새로운 층간 절연막 (interlayer dielectric)/확산 방지막 (diffusion barrier)의 개발, 상감(damascene) 공정을 통한 3차원 패턴 구조의 형성, 습식 전해/무전해 도금 (electro/electroless deposition)을 이용한 무결함 (defect-free) 구리막의 형성에 대한 기술 개발이 중요한 이슈로 대두 되었으며 본편에서는 그 중 전해 도금을 이용한 3차원 배선 구조 형성에 대해 중점적으로 알아보려고 한다.

구리 배선 공정은 plasma 식각 시 발생하는 부산물의 제거가 어려운 특성이 있어, 기존의 etch-back 공정대신 층간 절연막을 먼저 형성한 후 금속이 들어갈 자리를 사진 식각 공정 (photo-lithography)을 통해 형성 하고 후속 전해 도금을 이용한 구리막의 채움으로 진행된다 (그림 2). 이러한 공정은 단순히 단차 피복율(step coverage)의 개선만으로는 이루어지기 어려우며 기존 물리/화학기상 증착 방법의 한계를 벗어나 패턴 내부 바닥에서부터 금속을 채워 올려 내부 결함을 최소화 하는 바닥 차오름(bottom-up filling)의 개념이 필요하고, 이에 대한 해결책으로 제시되고 있는 것이 유기 첨가제를 이용한 전해/무전해 도금이다.

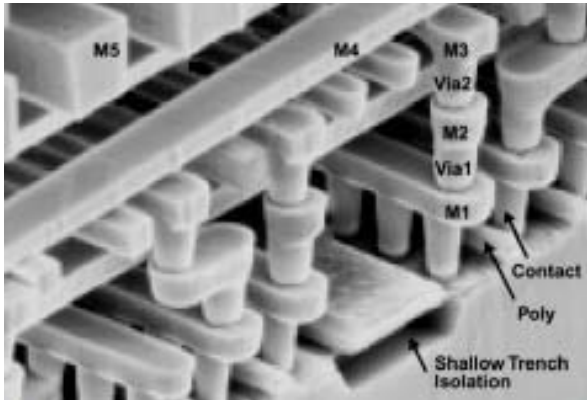


그림 1. 반도체 소자의 단면 SEM 사진
- 층간 절연막 제거 후 모습
(source : TSMC)

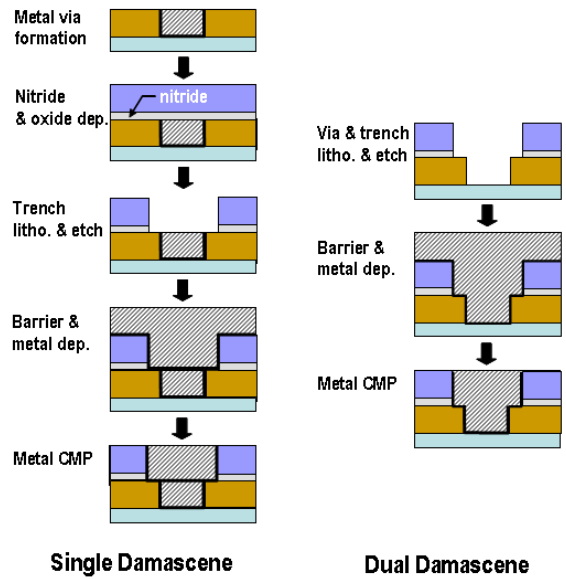


그림 2. 상감 (damascene) 공정 모식도

전해도금 (electrodeposition)

금속 배선용 구리 전해 도금은 황산구리(CuSO_4) / 황산(H_2SO_4) 수용액 상에 상감 패턴 구조가 형성된 웨이퍼를 기판으로 사용하여 외부 전류를 공급함으로써 이루어진다 (그림 3). 상감 패턴이 형성된 기판은 도금 수행시 패턴의 위치에 따라 물질 전달의 불균형이 발생하고 이는 그림 4 에서와 같은 불균일한 전류 밀도의 분포를 야기한다. 이러한 불균일한 전류 밀도 분포 하에서 도금을 수행하게 되면 패턴 입구에서의 과도금에 의해 패턴이 막혀버려 내부에서 전혀 도금이 일어나지 않는 상황이 발생하며 이러한 현상을 비등각전착 이라 한다 (그림 5). 이러한 비등각전착 현상을 줄이고 패턴 내부에 빈 공간과 같은 결함을 최소화 하기 위해서는 전해액에 소량의 유기 첨가제를 투입하여 패턴의 위치별로 도금 속도를 조절해서 패턴 바닥에서부터 구리를 채워 올리는 형태의

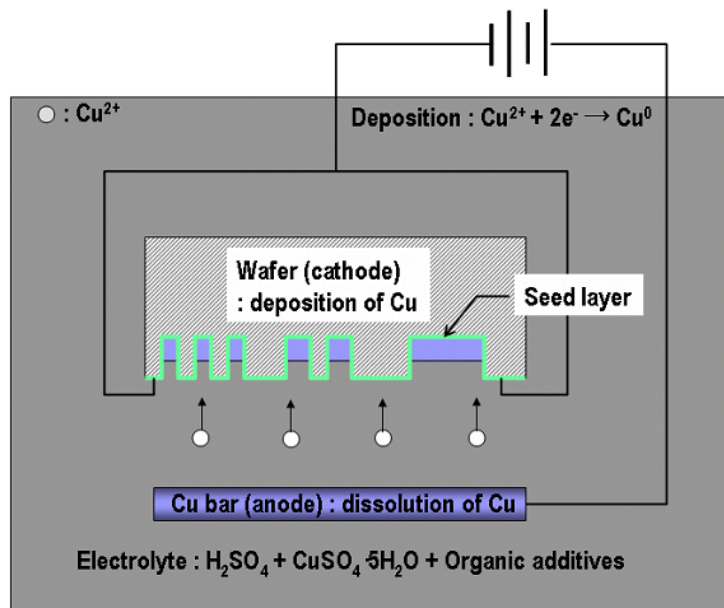


그림 3. 구리 전해 도금의 모식도

도금 방식이 도입 되어야 하며, 이를 초등각전착 이라 한다.

첨가제로서 광범위하게 연구가 되어온 물질은 패턴 입구에서의 도금 속도의 억제제로서 polyethylene glycol(PEG) 계열의 계면 활성제가 쓰이고, 패턴 내부에 우선 흡착하여 억제제 및 구리 이온과 상호 작용을 통해 도금 속도를 증가시키는 가속제로 3-mercapto-1-propane sulfonic acid, sodium salt(MPSA, $\text{Na}^+\text{SO}_3^-(\text{CH}_2)_3\text{SH}$)와 bis(3-sulfopropyl)disulfide(SPS, $(\text{Na}^+\text{O}_3^-\text{S}(\text{CH}_2)_3\text{S}-)_2$) 등이 있다. 이들 첨가제의 작용기구에 대한 연구는 크게 가속제와 억제제간의 물리적 상호작용을 중요시 하는 관점과 가속제와 구리 이온간의 화학 반응에 중점을 두는 관점이 있으며 자세한 내용은 아래의 참고문헌을 통해 알 수 있다. 그림 6 에 이들 첨가제를 이용하여 구리 도금을 수행했을 경우 시간에 따른 패턴의 차오름을 나타내었다.

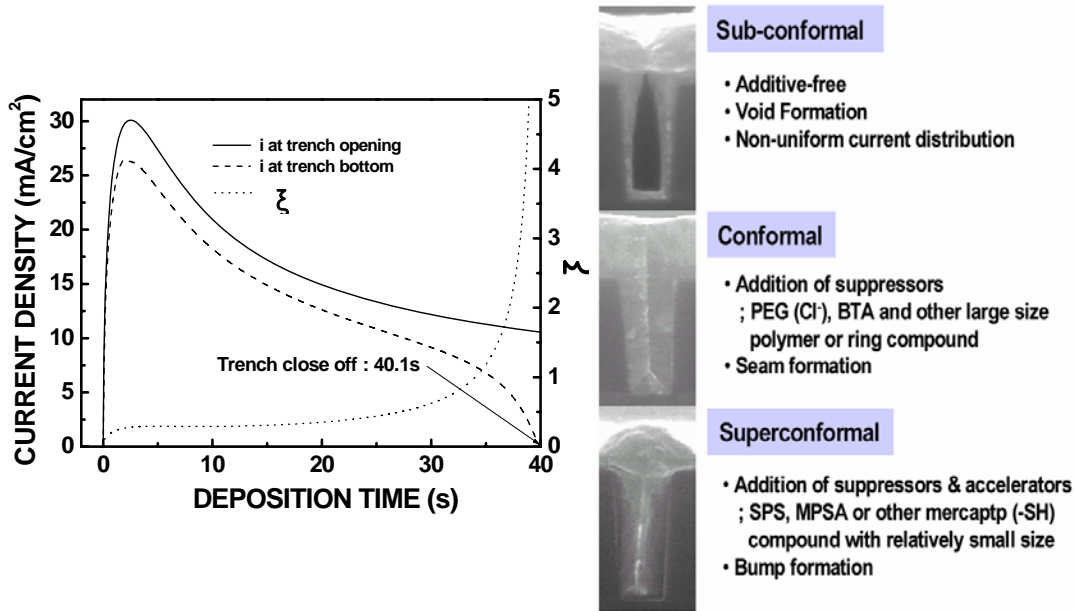


그림 4. 패턴 입구와 바닥에서의 구리 도금시 전류 밀도에 대한 simulation 결과

그림 5. 비등각/등각/초등각 전착의 예. 비등각 및 등각 전착시의 void와 seam은 결함으로 작용함.

초등각 전착은 전착이 진행됨에 따라 패턴내부의 가속제 농도가 높아져 패턴 내부의 도금 속도가 증가함으로써 이루어지며, 패턴을 완전히 채운 후에도 가속제의 높은 표면 농도에 의해 패턴 부분에 과전착이 발생하며 그 결과로 패턴의 역전 현상과 융기의 형성이 관찰된다 (그림 6참고). 이러한 과전착 결과물들은 후속 평탄화 공정 (chemical mechanical polishing)에 있어 기판에 작용하는 압력의 불균일을 야기하며 평탄화 후 발생하는 여러 결함의 원인이 된다. 이러한 문제를

해결하기 위해 가속제 및 억제제 외에 레벨러라 불리는 제3의 첨가제를 전해 도금시 투입하여 과전착 현상을 방지할 수 있다. 대표적인 물질은 polyvinylpyrrolidone (PVP) 또는 dodecyltrimethylammonium chloride (DTAC) 과 같은 양이온성 계면활성제, 및 polyethyleneimine (PEI)와 같은 양이온성 polyelectrolyte 등이 있다. 이들은 가속제와 이온 짝짓기 결합을 통해 가속제의 활성을 떨어뜨림으로써 과전착을 억제하는 것으로 알려져 있다. 이중 PEI를 사용한 레벨링 결과를 그림 7에 도시하였다. PEI의 첨가에 따라 패턴이 완전히 채워진 후에도 과전착 현상이 억제되어 평탄한 표면을 얻을 수 있음을 알 수 있다.

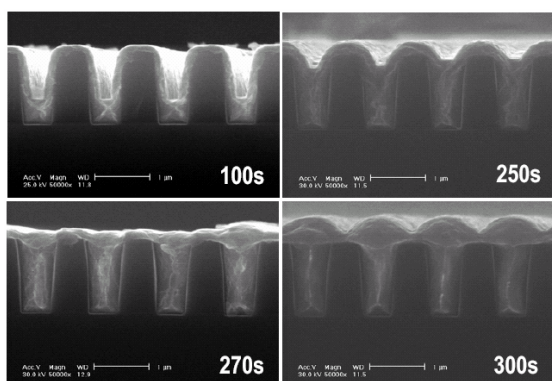


그림 6. PEG와 SPS를 이용한 구리 도금. 시간이 증가함에 따라 바닥에 서 차오르는 모습을 볼 수 있음.

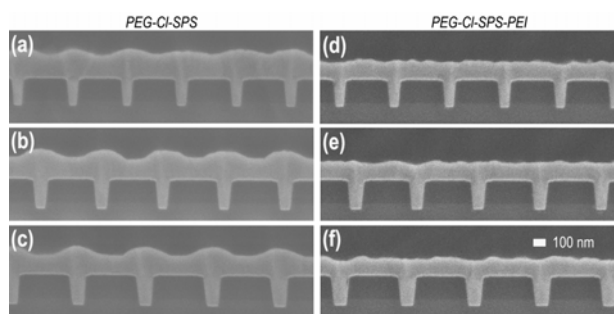


그림 7. PEG-SPS-PEI를 이용한 구리 도금. PEI 레벨러가 없는 경우 (좌) 과전착에 의한 패턴의 융기가 발생하나, PEI 존재시 (우) 과전착 현상이 방지되고 평탄한 표면을 얻을 수 있음 (from ref. 16)

참고 문헌 (References)

1. J. J. Kim, S. -K. Kim, and Y. S. Kim, "Catalytic Behavior of 3-Mercapto-1-Propane Sulfonic Acid on Cu Electrodeposition and Its Effect on Cu Film Properties for CMOS Device Metallization", *J. Electroanal. Chem.*, 542, 61 (2003).
2. S. -K. Kim and J. J. Kim, "Superfilling Evolution in Cu Electrodeposition; Dependence on the Aging Time of the Accelerator", *Electrochem. Solid-State Lett.*, 7, C98 (2004).
3. A. Frank and A. J. Bard, "The Decomposition of the Sulfonate Additive Sulfopropyl Sulfonate in Acid Copper Electroplating Chemistries", *J. Electrochem. Soc.*, 150, C244 (2003).
4. T. P. Moffat, D. Wheeler, M. D. Edelstein, and D. Josell, "Superconformal Film Growth: Mechanism and Quantification", *IBM J. Res. & Dev.*, 49, 19

(2005).

5. J. Reid and S. Mayer, "Factors Influencing Fill of IC Features Using Electroplated Copper", in Proceedings of Advanced Metallization Conference, p. 53, Orland, Florida (1999).
6. T. P. Moffat, J. E. Bonevich, W. H. Huber, A. Stanishevsky, D. R. Kelly, G. R. Stafford, and D. Josell, "Superconformal Electrodeposition of Copper in 500–90 nm Features", *J. Electrochem. Soc.*, 147, 4524 (2000).
7. D. Josell, D. Wheeler, W. H. Huber, and T. P. Moffat, "Superconformal Electrodeposition in Submicron Features", *Phys. Rev. Lett.*, 87, 016102 (2001).
8. Y. Cao, P. Taephaisitphongse, R. Chalupa, and A. C. West, "Three-Additive Model of Superfilling of Copper", *J. Electrochem. Soc.*, 148, C466 (2001).
9. W. C. West, S. Mayer, and J. Reid, "A Superfilling Model that Predicts Bump Formation", *Electrochem. Solid-State Lett.*, 4, C50 (2001).
10. D. Josell, B. Baker, C. Witt, D. Wheeler, and T. P. Moffat, "Via Filling by Electrodeposition", *J. Electrochem. Soc.*, 149, C637 (2002).
11. D. Josell, D. Wheeler, and T. P. Moffat, "Superconformal Electrodeposition in Vias", *Electrochem. Solid-State Lett.*, 5, C49 (2002).
12. T. P. Moffat, D. Wheeler, C. Witt, and D. Josell, "Superconformal Electrodeposition Using Derivatized Substrates", *Electrochem. Solid-State Lett.*, 5, C110 (2002).
13. D. Josell, D. Wheeler, W. H. Huber, J. E. Bonevich, and T. P. Moffat, "A Simple Equation for Predicting Superconformal Electrodeposition in Submicrometer Trenches", *J. Electrochem. Soc.*, 148, C767 (2001).
14. T. P. Moffat, D. Wheeler, W. H. Huber, and D. Josell, "Superconformal Electrodeposition of Copper", *Electrochem. Solid-State Lett.*, 4, C26 (2001).
15. J. Reid and J. Zhou, "Leveler Molecular Weight and Concentration Impact on Damascene Copper Electroplating Bath Electrochemical Behavior and Film Properties", 209th Electrochemical Society Meeting, Abstract #422, May 7–12, Denver, Colorado (2006).
16. S.-K. Kim, D. Josell, and T. P. Moffat, "Electrodeposition of Cu in the PEI-PEG-Cl-SPS Additive System; Reduction of Overfill Bump Formation During Superfilling", *J. Electrochem. Soc.*, 153, C616 (2006).